

## ADC 和 DAC 基础—第四部分

这是本系列 5 篇文章中的第四篇，介绍抖动、延迟和其它 ADC 中的误差。

作者：Walt Kester 和 James Bryant, Analog Devices 公司

## 无杂波动态范围(SFDR)

在通信应用中或许最重要的指标就是它的无杂波动态范围。SFDR 指标对于 ADC 来说，就像对混频器和 LNA 的三阶交调截取点指标。ADC 的 SFDR 被定义为 RMS 信号幅度对峰值杂波频谱成分的 RMS 数值之比(在直流到  $f_s/2$  的整个第一奈奎斯特区测得)。SFDR 一般被描绘为信号幅度的函数，并可能像图 2-28 所示那样，被描绘为相对于信号幅度(dBc)或 ADC 的满量程(dBFS)。

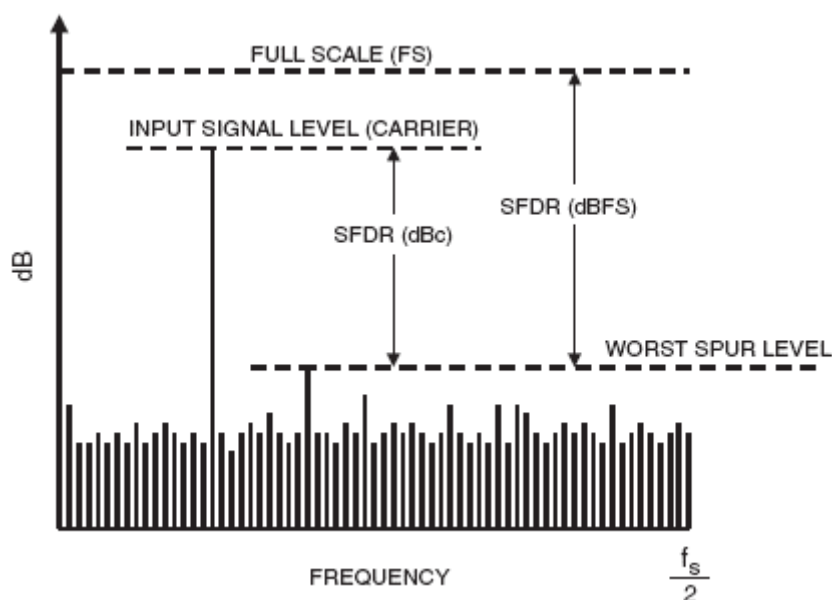


图 2-28: 无杂波动态范围(SFDR)。

对于接近满量程的信号，峰值频谱杂波一般由基波的头几个谐波之一决定。然而，当信号落在小于满量程若干 dB 时，其它出现的杂波一般不是输入信号的直接谐波。这是因为存在前面讨论过的 ADC 传输函数的差分非线性的缘故。因此，SFDR 要考虑所有源的失真，而不论它们来自何处。

AD9042 是一种面向通信应用的 12 比特、41 MSPS 宽带 ADC，在此，高 SFDR 时至关重要的。对于 19.5 MHz 的输入和 41 MSPS 采样频率，SFDR 如图 2-29 所示。注意：在整个第一奈奎斯特区获得了 80 dBc 的最小 SFDR(直流到 20MHz)。绘图还显示 SFDR 被表示为 dBFS。

SFDR 一般比 ADC 的理论 N 比特 SNR( $6.02 N + 1.76$  dB)要大的多。例如，AD9042 是具有 80 dBc SFDR 和 65 dBc 典型 SNR(理论 SNR 为 74 dB)的 12 比特 ADC。这是因为噪声

和失真测量之间存在根本的区别。FFT 的处理增益(对于 4096 点 FFT 为 33 dB)让频率杂波远远小于被观察的噪声基底。向 ADC 增加额外的分辨率可能要增加起 SNR, 但是, 可能会或可能不会增加它的 SFDR。

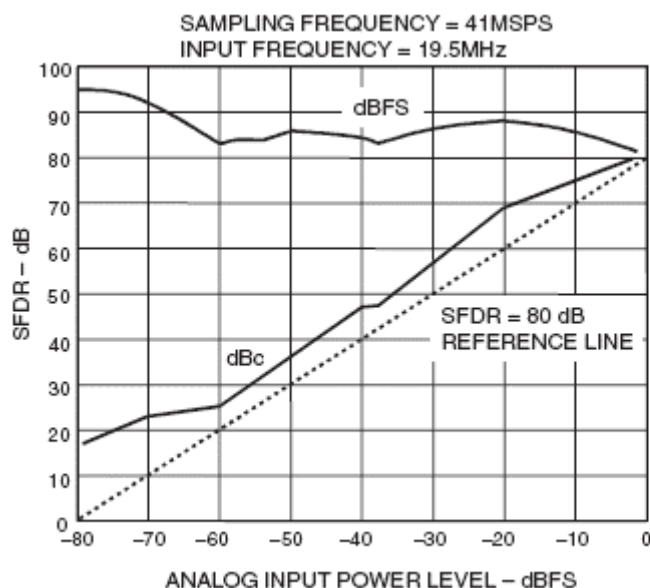


图 2-29: 12 比特 41 MSPS ADC—AD9042—的 SFDR 与输入功率电平的关系。

### 双音互调失真(IMD)

通过把频率为  $f_1$  和  $f_2$ —通常挨得比较近—的两个频谱纯净的正弦波施加在 ADC 上, 可以测得双音互调失真。每一个音调的幅度被设置为小于满量程以下 6dB 多一些, 以便 ADC 在两个音调同相时不会削波。如图 2-30 所示为二阶和三阶乘积的位置。注意: 二阶乘积落在能由数字滤波器消除的频率上。然而, 三阶乘积  $2f_2-f_1$  和  $2f_1-f_2$  接近原始信号的频率, 因此, 难以被滤除。除非另外详细说明, 双音 IMD 指的是这些三阶乘积。IMD 乘积的数值被以 dBc 为单位、相对于两个原始音调的任意一个的数值表示, 而不是相对于它们的总和来表示。

然而, 要注意如果两个音调的频率接近  $f_s/4$ , 基波的混叠三次谐波可能造成难以识别实际的  $2f_2-f_1$  和  $2f_1-f_2$  的乘积。这是因为  $f_s/4$  的三次谐波为  $3f_s/4$ , 而混叠出现在  $f_s - 3f_s/4 = f_s/4$ 。类似地, 如果两个音调接近  $f_s/3$ , 混叠的二次谐波可能干扰到测量。相同的推理也适合于此,  $f_s/3$  的二次谐波为  $2f_s/3$ , 并且其混叠出现在  $f_s - 2f_s/3 = f_s/3$ 。

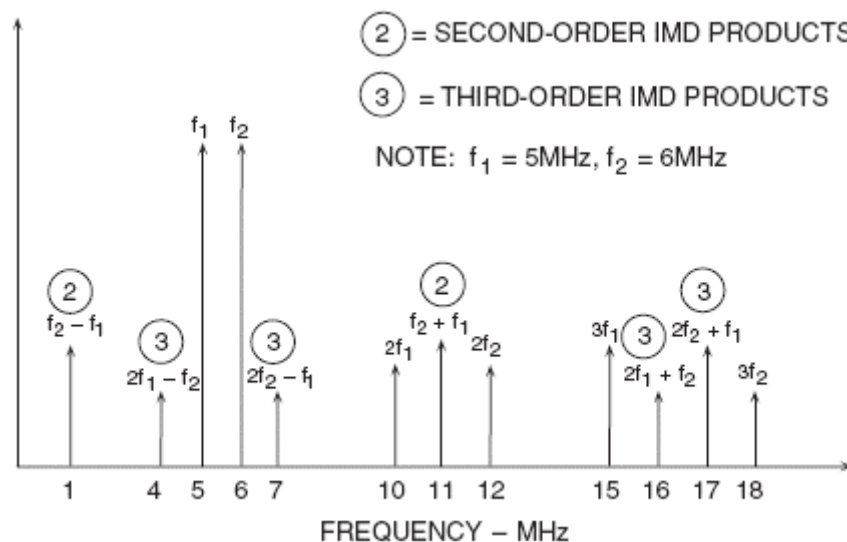


图 2-30: 对于  $f_1 = 5\text{MHz}$  和  $f_2 = 6\text{MHz}$ , 二次和三次互调乘积。

对于 ADC 来说, 二阶和三阶截取点的概念时无效的, 因为失真乘积并不是以可预测的方式而变化(作为信号幅度的函数)。ADC 并不是在逼近满量程时逐渐开始压缩信号(不存在 1dB 压缩点); 当信号超过 ADC 的输入范围时, 它起到硬限幅器的作用, 因此, 当被削波时, 会突然产生极大量的失真。另一方面, 对于远远小于满量程的信号, 失真基底仍然相对恒定, 并且与信号的电平无关。

在通信应用中, 常常要测量多音调 SFDR。音调的数量越大, 越接近于如 AMPS 或 GSM 这样的蜂窝电话系统的宽带频谱。图 2-31 显示了 12 比特 65 MSPS ADC—AD6640—的四音调互调性能。当存在大信号时, 高 SFDR 增加了接收机捕获小信号的能力, 并防止小信号被较大信号的互调乘积所掩蔽。

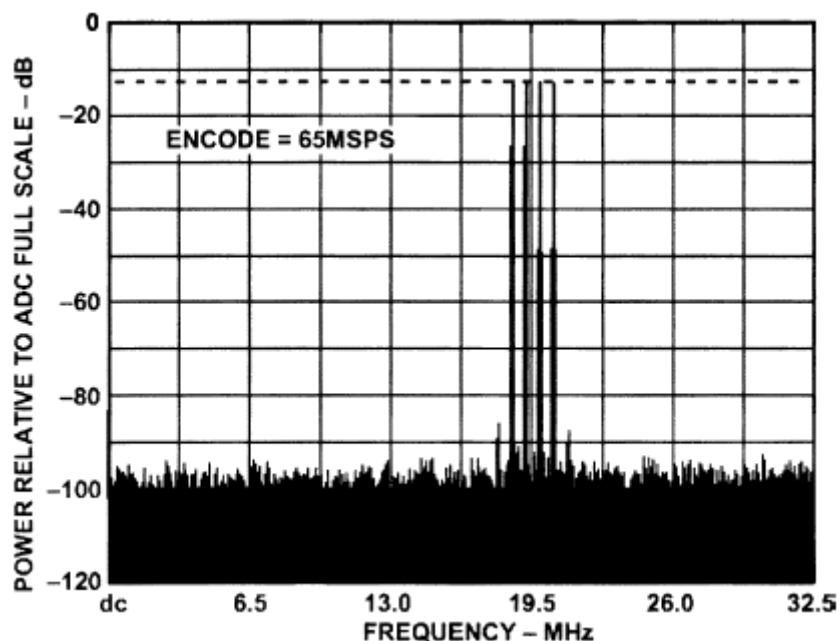


图 2-31: 多音调测试: 12 比特 65 MSPS ADC—AD6640。

### 噪声功率比(NPR)

噪声功率比测试已经被广泛地用于测量频分多址(FDMA)通信链路的传输特性。在典型的 FDMA 系统中, 4KHz 宽的语音信道被堆叠在各个频率空间中, 通过同轴电缆、微波或卫星设备传输。在接收端, FDMA 数据被解复用并回到 4KHz 的独立基带信道。在大约具有 100 个以上信道的 FDMA 系统中, FDMA 信号可以采用具有合适带宽的高斯噪声来近似。利用窄带陷波滤波器以及一个在 4KHz 陷波点内部测量噪声功率的专用调谐接收器, 就可以测量独立的 4KHz 信道的安静度。

噪声功率比(NPR)的测量简单明了。利用陷波滤波器的输出, 在陷波点可测得信号的 RMS 噪声功率。陷波滤波器然后被切换进来, 从而测得在这个窄频段的残留噪声。以 dB 表示的这些读数的比值就是 NPR。为了足够地提取系统的特征, 要对跨越噪声频带的若干窄频段(低、中和高三段)进行测试。在 ADC 上的 NPR 测量以类似的方式进行, 但是, 模拟接收器被缓冲存储器和 FFT 处理器所取代。

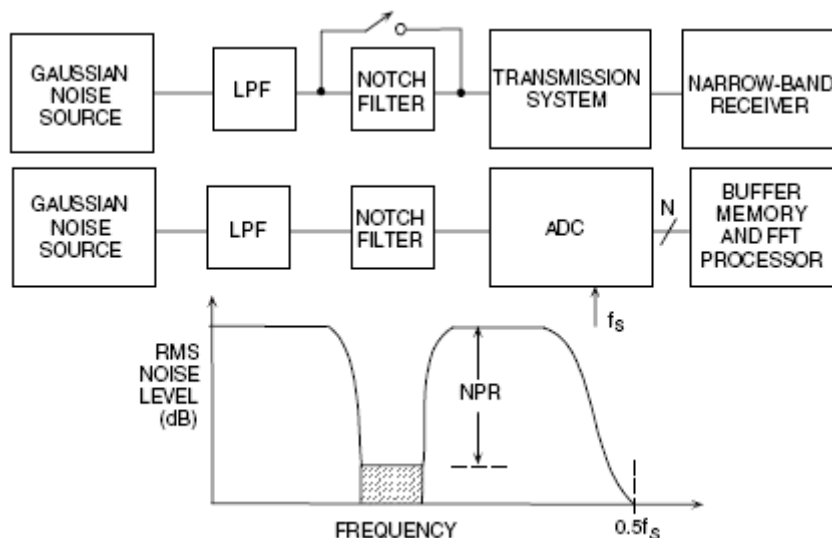


图 2-32: 噪声功率比(NPR)的测量。

NPR 通常在 NPR 曲线上绘出。参照系统的峰值范围，NPR 被描绘为 RMS 噪声电平的函数。对于非常低噪声的加载电平，不受欢迎的噪声(在非数字系统中)主要是热噪声并且不依赖于输入的噪声电平。在曲线的这个区域上，噪声加载电平增加 1dB，噪声 NPR 就会增加 1dB。随着噪声加载电平的增加，系统中的放大器开始过载，其产生的互调乘积会造成系统的噪声基底的增加。随着输入噪声的进一步增加，过载噪声的效应占支配地位，并且 NPR 极大地被降低。FDMA 系统通常工作在小于最大 NPR 点以下几个 dB 的噪声加载电平上。

在包含 ADC 的数字系统中，当所施加的噪声输入电平低时，在时隙内部的噪声主要是量化噪声。NR 曲线在这个区域时线性的。随着噪声电平的增加，在噪声电平和 NPR 之间存在一一对应的关系。然而，在一些电平上，由 ADC 的硬限幅作用造成的削波噪声开始占支配地位。如图 2-33 所示为 10、11 和 12 比特 ADC 的理论曲线。

在多信道高频通信系统中，NPR 也可以被用于仿真大量独立信道造成的失真，类似于 FDMA 系统。在噪声源和 ADC 之间要放置一个陷波滤波器，并且 FFT 输出被用于取代模拟接收器。如图 2-34 所示，用于 AD9042 的陷波滤波器的宽度被设置为几 MHz。NPR 是陷波滤波器的深度。理想的 ADC 将仅仅在陷波滤波器内部产生量化噪声；然而，因 ADC 非线性度造成的互调失真，实际的 ADC 具有额外的噪声成分。注意：与 62.7dB 的理论值相比，NPR 大约为 60dB。

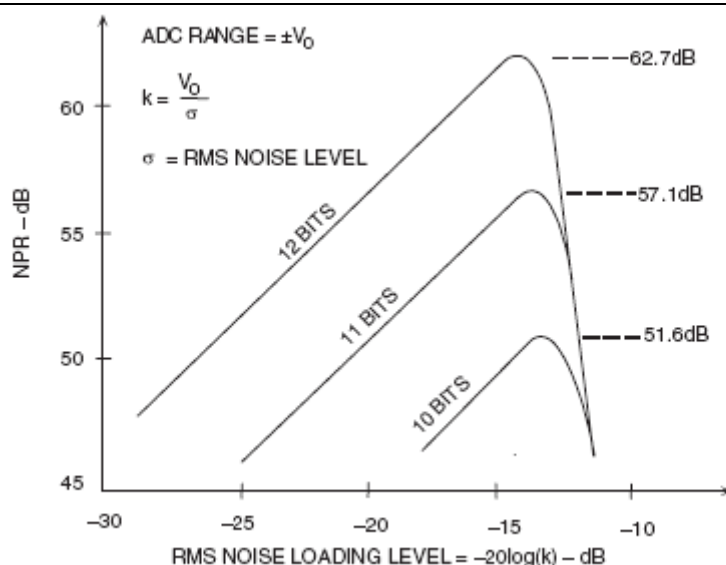


图 2-33: 10、11 和 12 比特 ADC 的理论 NPR。

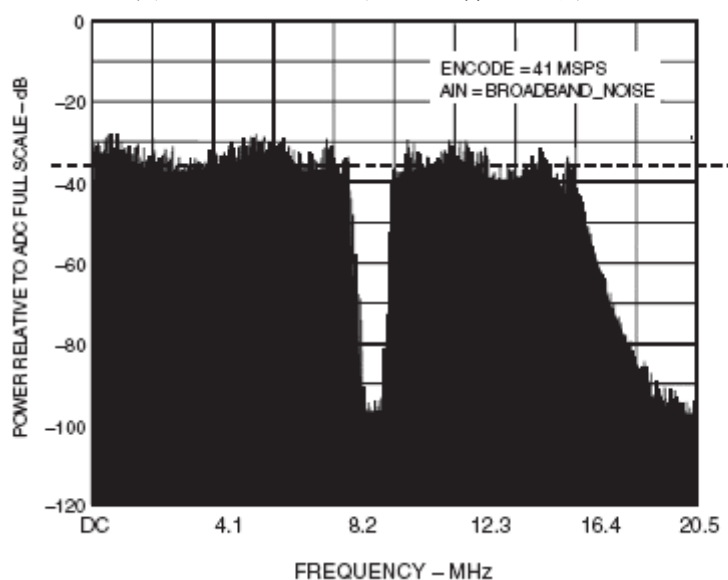


图 2-34: 12 比特 41 MSPS ADC—AD9042—的 NPR 为 60dB(理论值为 62.7 dB)。  
孔径抖动和孔径延迟

从图 2-35 可能可以推断出 ADC 的 SNR 随着输入频率的增加而降低的原因之一，其中，显示了在 ADC 的采样时钟上(或在内部的采样保持中)的相位抖动效应(或孔径时间效应)。相位抖动造成的电压误差是偏斜率的函数，并且导致如图 2-36 所示的 SNR 的整体退化。这是相当严重的，特别是在较高的输入、输出频率上。因此，在任何采样数据系统的采样、重构时钟中，要特别小心地最小化相位噪声。对于时钟信号的所有方面都必须小心：振荡器本身(例如，555 定时器时绝对不够的，但是，如果采用于含噪逻辑电路共享一个芯片的有源器件，即使采用石英晶体振荡器也可能产生问题)；传输路径(这些时钟非常易于受到各种干扰的攻击)；在 ADC 或 DAC

中引入的相位噪声。在转换器电路中非常常见的噪声源就是在积分采样保持(SHA)电路中的孔径噪声。

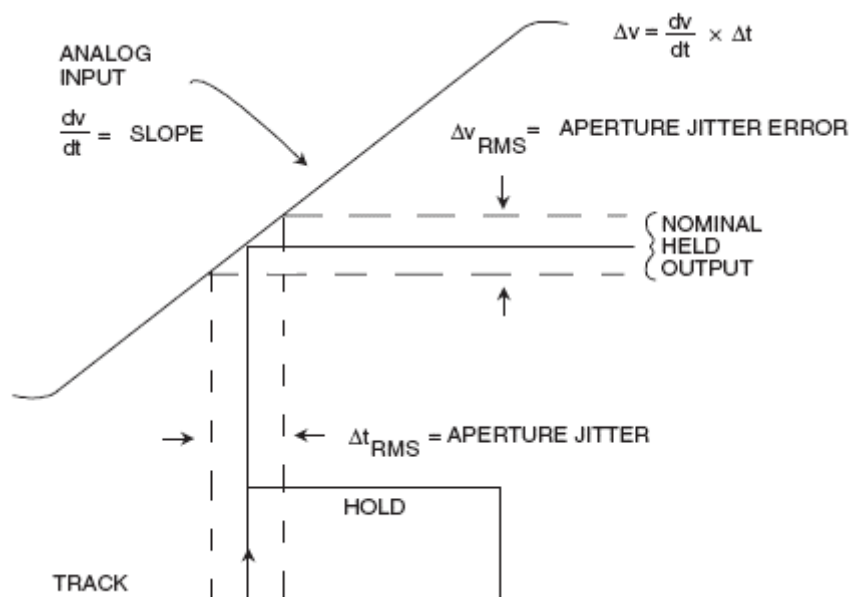


图 2-35: 孔径和采样时钟抖动的影响。

二十多年以前, 采样 ADC 采用独立的采样保持和 ADC 构成, 它的接口设计困难, 并且在 SHA 中的一个关键参数是孔径噪声。目前, 大多数使用的采样 ADC 包含一种积分 SHA。SHA 的孔径噪声可能没有像这样详细说明, 但是, 如果 SNR 或 ENOB 被清楚地详细说明的话, 这就不是造成担忧的原因, 因为对特殊 SNR 的保证就是对足够的孔径抖动指标的绝对保证。然而, 通过把直流施加在 ADC 上, 一种附加的高性能 SHA 的应用有时候将改善即使最好的采样 ADC 的高频 ENOB, 并且可能比采用跟昂贵的另一个 ADC 来取得而代之更有成本效益。

要注意的是: 也存在固定的构成 ADC 孔径时间的成分。这种成分通常被称为有效孔径延迟时间, 它不产生误差。它只是在 ADC 被要求采样的时刻和实际采样发生的时刻之间导致时间偏差, 如图 2-37 所示, 并可能是正偏差或负偏差。在并行采样应用或如 I 和 Q 解调的这样的、两个 ADC 需要彼此之间互相跟踪的应用中, 各个器件之间在这个参数上的偏差或容差就是至关重要的。

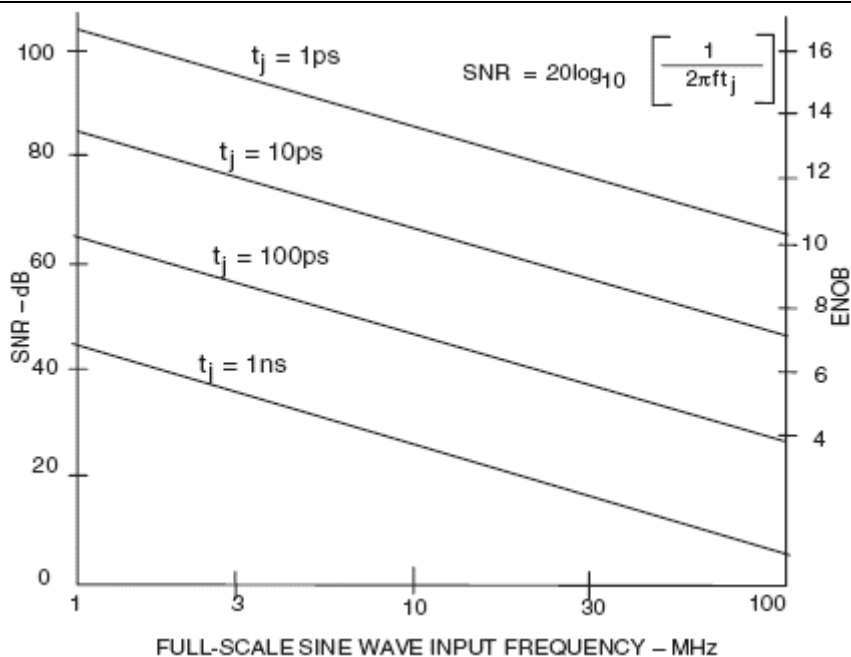


图 2-36: 硬孔径和采样时钟抖动引起的 SNR。

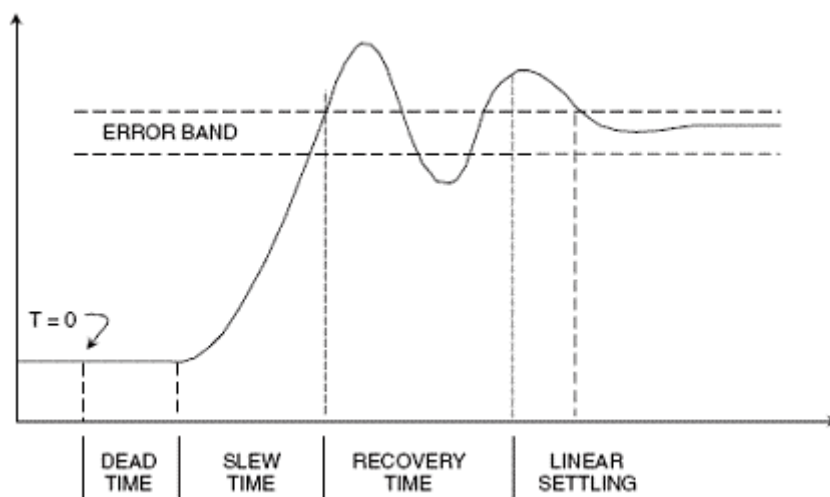


图 2-37: 有效的孔径延迟时间。